

PAT-NO: JP404240824A

DOCUMENT-IDENTIFIER: JP 04240824 A

TITLE: ARRAY SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE

PUBN-DATE: August 28, 1992

INVENTOR-INFORMATION:

NAME

DOJIRO, MASAYUKI

MUKAI, NOBUO

IKEDA, HIROYUKI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP03007976

APPL-DATE: January 25, 1991

INT-CL (IPC): G02F001/1343, G02F001/133

US-CL-CURRENT: 349/FOR.124

ABSTRACT:

PURPOSE: To make the resistance of the address wiring low by using the same process as the conventional one and to attain the large picture screen and the high-definition of the liquid crystal display device.

CONSTITUTION: On an insulated substrate 1, an address wiring 2 and a data wiring 3 are arranged in a matrix state and a thin film transistor (TFT) 4 and a transparent pixel electrode 5 at a crossing part of the address wiring 2 and the data wiring 3 are arranged. The address wiring 2 consists of a laminated

constitution of an Al film 8 and a metal film 9 consisting of at least one of Ta, Nb, W, Mo and their alloys and the side face of the Al film 8 is oxidized. Here the Al film 8 is provided on the sides being in proximity of the insulated substrate 1 and the metal film 9 has a constitution tapered under a proper etching condition.

COPYRIGHT: (C)1992,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-240824

(43) 公開日 平成4年(1992)8月28日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
G 0 2 F	1/1343	9018-2K		
	1/133	5 5 0	7820-2K	

審査請求 未請求 請求項の数1(全 3 頁)

(21) 出願番号 特願平3-7976

(22) 出願日 平成3年(1991)1月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 堂城 政幸

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 向井 信夫

兵庫県姫路市余部区上余部50番地 株式会社東芝姫路工場内

(72) 発明者 池田 裕幸

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

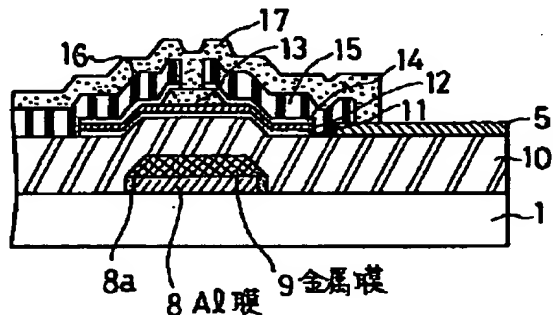
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 液晶表示装置用アレイ基板

(57) 【要約】

【構成】 アドレス配線2をアルミニウム (A1) 膜8と、タンタル (Ta)、ニオブ (Nb)、タングステン (W)、モリブデン (Mo) 及びこれらの合金のうち少なくとも一つからなる金属膜9との積層構造で、且つA1膜8の側面を酸化した構造とする。

【効果】 従来と同様のプロセスで、アドレス配線抵抗が小さいアレイ基板が得られ、例えばアクティブマトリクス型液晶表示装置の大画面化・高精細化に有用である。



1

【特許請求の範囲】

【請求項1】 絶縁性基板上にアドレス配線とデータ配線をマトリクス状に形成し、この交点に薄膜トランジスタ及び透明画素電極を配置してなる液晶表示装置用アレイ基板において、前記アドレス配線はアルミニウム膜と、タンタル、ニオブ、タングステン、モリブデン及びこれらの合金のうち少なくとも一つからなる金属膜との積層構造からなり、且つ前記アルミニウム膜の側面は酸化されていることを特徴とする液晶表示装置用アレイ基板。

【発明の詳細な説明】

【発明の目的】

【0001】

【産業上の利用分野】この発明は、アクティブマトリクス型の液晶表示装置用アレイ基板の配線構成に関する。

【0002】

【従来の技術】従来のアクティブマトリクス型液晶表示装置用アレイ基板の形成方法は、例えば特開平1-291467号公報に記載されている。即ち、60～85原子%のタンタル（Ta）を含むモリブデン・タンタル（Mo-Ta）合金からなるアドレス配線・電極材料をスパッタ法等の成膜法により堆積し、ドライエッチング等の方法によりテーバ加工を用いて形成する。その後、トランジスタ能動部、画素電極部、データ配線及びソース・ドレイン電極を順次形成する。この構成の基板では、表示面積がA4サイズで、アドレス線本数が500本程度の液晶表示装置までは、良好な表示特性が得られた。

【0003】

【発明が解決しようとする課題】液晶表示装置の表示部分が大画面化或いは高精細化されるに伴い、アドレス配線が長くなることや、画素の開閉率を大きくするためアドレス配線の幅が細くなることに起因して、アドレス配線抵抗の高抵抗化が起こる。この結果、アドレス信号の波形が歪み、信号の伝搬遅延が起こる。この現象が画像の不均一化となって現れ、画質低下を招くことになる。この発明はこのような従来の事情に鑑みなされたものであり、アドレス配線を低抵抗化させることを目的とする。

【発明の構成】

【0004】

【課題を解決するための手段】この発明は、絶縁性基板上にアドレス配線とデータ配線をマトリクス状に形成し、この交点に薄膜トランジスタ（以下、TFTと称す）及び透明画素電極を配置してなる液晶表示装置用アレイ基板についてのものである。そして、アドレス配線はAl膜と、Ta、ニオブ（Nb）、タングステン（W）、Mo及びこれらの合金のうち少なくとも一つからなる金属膜との積層構造からなり、且つAl膜の側面は酸化されている。このとき、Al膜は絶縁性基板に近接する側に配線されており、且つ上記金属膜は適切なエ

2

ッチング条件下でテーバ加工された構造を有する。また、Al膜の側面は純水による加熱酸化により、アルミニウム酸化膜を形成する。

【0005】

【作用】上記構成で、例えばAl膜厚を1000オングストローム、Ta、Nb、W、Mo及びこれらの合金のうち例えばMo-Ta膜厚を2000オングストロームとした場合は、Mo-Ta膜厚を3000オングストロームとした場合に比べ、アドレス配線の線幅を同じにして、Mo-Ta単層で10kΩに対して、積層配線構造では2kΩとアドレス配線抵抗を1/5以下に低減できる。また、Alは非常にエッチングされやすい材料であり、アレイ作製プロセスで採用されるエッチング処理等においてAl膜も同時にエッチングされることが多いのに対し、Ta、Nb、W、Mo及びこれらの合金からなる金属膜は、これとは逆に、例えば通常よく用いられる薄いフッ酸系エッチング液等においてエッチングされにくい。この発明では、Al膜の上部に上記金属膜を形成するとともにAl膜の側面を酸化し、Al自体の露出部分をなくすことで、従来のプロセスをほとんど変更することなく使用することができる。

【0006】

【実施例】以下、この発明の詳細を図面を参照して説明する。

【0007】図1はこの発明の一実施例を用いたアクティブマトリクス型液晶表示装置の等価回路図である。図1において、絶縁性基板1上に、アドレス配線2とデータ配線3がマトリクス状に配設されている。そして、アドレス配線2とデータ配線3の交差部に、アモルファスシリコン（a-Si）膜を有するTFT4が形成されている。更に、TFT4のドレインはデータ配線3に接続され、ゲートはアドレス配線2に接続されている。また、TFT4のソースには、各画素の透明画素電極5と液晶容量6及び補助容量7が接続されている。

【0008】図2は図1に示した実施例におけるTFT部を示す断面図であり、図1と対応する部分には同一の符号を付してある。図2において、製造工程に従って説明する。まず、例えばプラズマCVD法によるSiO₂膜付きガラスからなる絶縁性基板1上に、スパッタ法により、Al膜8を1000オングストローム、続いて連続的に、Ta、Nb、W、Mo及びこれらの合金のうち少なくとも一つ例えば60～85原子%のTaを含むMo-Ta合金からなる金属膜9を2000オングストローム堆積させる。このとき、Al膜8はAl合金例えば銅1原子%、シリコン0.5原子%を含むAl膜でも可能である。そして、Al膜8と金属膜9の積層膜上に、フォトリソグラフィを用いてゲート電極を含むアドレス配線2のパターンを形成し、CDE（Chemical Dry Etching）でCF₄+O₂混合ガスを用いて、金属膜9を30度以下のテーバができるようにエッチングする。次

3

に、磷酸、硝酸及び酢酸の3つを混合した混酸を用いてA1膜8のエッチングを行い、アドレス配線2のパターンを完成させる。このとき、補助容量の電極（図示せず）も同時に形成する。それに続いて、70～100℃の液温の純水を用いて、10～60分の範囲で加熱処理を行う。それにより、A1膜8の側面のみアルミニウム酸化膜8aを形成する。続いて、プラズマCVD法によりSiO_x膜10、SiNx膜11、a-Si膜12及びSiNx膜13を連続形成する。次に、SiNx膜13をパターニングし、ソース・ドレイン電極のコンタクトとしてn a-Si膜14をプラズマCVD法により堆積する。次に、a-Si膜12をパターニングし、例えばITO（Indium Tin Oxide）膜からなる透明画素電極5を形成する。ここで、透明画素電極5は補助容量の一方の電極の一部としても使用する。続いて、アドレス配線2のパッド部（図示せず）の開口を、HF系のエッチングで行う。次に、スパッタ法によりCr、Al及びCrの3層を堆積させ、これを図1に示すデータ配線3、及びソース電極15とドレイン電極16として形成する。この後、RIE（Reactive Ion Etching）により、a-Si膜12のチャネル部と対向するn a-Si膜14を除去する。次に、保護膜として、プラズマCVD法によりSiNx膜17を形成し、液晶表示装置用アレイ基板が完成する。

【0009】アドレス配線2において平均アドレス配線幅を30μm、アドレス配線長を20cmとしたときに、アドレス配線2の抵抗が約1.8kΩとなり、これと同じ配線幅・配線長で膜厚3000オングストロームのMo-Ta合金膜からなるアドレス配線の抵抗は約9kΩとなるので、この実施例ではアドレス配線抵抗を従来に比べ1/5に低減することができた。また、プラズマCVD法により形成したゲート絶縁膜としてのSiO_x膜10、SiNx膜11にピンホール等が発生してアドレス配線2が露出することがあるが、この実施例ではA1膜8の側面をアルミニウム酸化膜8aで覆うことにより、透明画素電極5等のエッチング処理時にA1膜8

4

も同時にエッチングされるのを防止できる。この結果、従来のMo-Ta配線プロセスを変更することなく使用することが可能となる。更に、アドレス配線2上部の金属膜9にテーパエッチングを施すことによって、下層のA1膜8が存在しても、ゲート絶縁膜のステップカバレッジが良好となり、Mo-Ta膜単層の場合と変わらない層間絶縁性が得られる。

【0010】なお、金属膜9の材料としては、Mo-Ta合金以外に限らず、Ta、Nb、W、Mo及びこれらの合金のうち少なくとも一つからなればよい。また、A1膜8の酸化方法については、この実施例で述べた方法に限られないが、金属膜9の酸化を防ぐという観点から考えた場合、Alをエッチングしない溶液例えば純水での加熱酸化という方法が望ましい。

【0011】

【発明の効果】この発明は、アドレス配線の構造をA1膜と、Ta、Nb、W、Mo及びこれらの合金のうち少なくとも一つからなる金属膜との積層構造で且つA1膜の側面を酸化したアルミニウム酸化膜構造とすることにより、従来と同様のプロセスを用いてアドレス配線抵抗を低抵抗とすることができ、例えば液晶表示装置の大画面化・高精細化を図ることが可能となる。

【図面の簡単な説明】

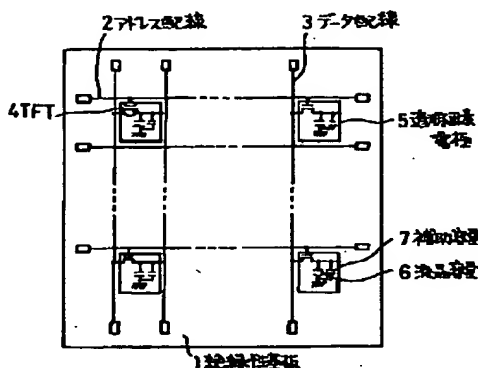
【図1】この発明の一実施例を用いたアクティブマトリクス型液晶表示装置の等価回路図である。

【図2】この発明の一実施例におけるTFT部の断面図である。

【符号の説明】

- 1……絶縁性基板
- 2……アドレス配線
- 3……データ配線
- 4……TFT
- 5……透明画素電極
- 8……A1膜
- 9……金属膜

【図1】



【図2】

